

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

04942890 \*\*\*Image available\*\*

FORMATION OF POLYCRYSTALLINE SILICON THIN FILM AND MOS TRANSISTOR CHANNEL

PUB. NO.: 07-235490 [JP 7235490 A]

PUBLISHED: September 05, 1995 (19950905)

INVENTOR(s): IKEDA YUJI

NOGUCHI TAKASHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-049801 [JP 9449801]

FILED: February 23, 1994 (19940223)

ABSTRACT

PURPOSE: To obtain a polycrystalline silicon thin film with an improved crystallinity, by heating an amorphous silicon layer to a specified temperature, and irradiating an area of a specified value or above thereon with laser light with a laser energy density within a specified range in one shot using a laser radiation system having a total energy of a specified value or above.

CONSTITUTION: An amorphous silicon layer 13 of a specified thickness is formed on an insulating layer 12 on a substrate 11. The amorphous silicon layer 13, together with the substrate, is heated to a specified temperature. An area of  $100\text{cm}^2$  or above at least on the amorphous silicon layer 13 is irradiated with laser light 15 with a laser energy density of  $100\text{-}500\text{mJ/cm}^2$  in one shot using a laser light generating system having a total energy of 5J or above. Thus the amorphous silicon layer 13 is directly annealed. The molten region is crystallized again to form a polycrystalline silicon thin film 13a. This makes it possible to form a polycrystalline silicon thin film having a low electron trap density both in grains and in grain boundaries.

(19)日本国特許庁 (J P) .

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-235490

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		8418-4M		
21/268	Z			
21/324	Z			
29/786				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		審査請求	未請求	請求項の数6 F D (全 17 頁) 最終頁に続く

(21)出願番号 特願平6-49801

(22)出願日 平成6年(1994)2月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 裕司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 野口 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 佐藤 隆久

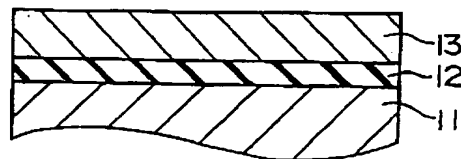
(54)【発明の名称】 多結晶シリコン薄膜形成方法およびMOSトランジスタのチャネル形成方法

(57)【要約】

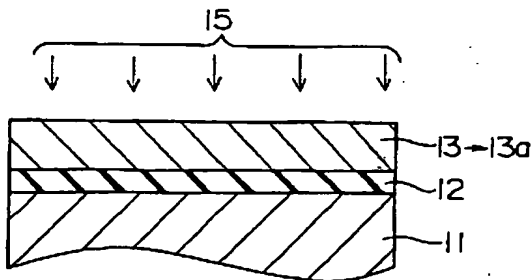
【目的】 結晶性を従来以上に向上させた多結晶シリコン薄膜の形成方法、およびその多結晶シリコン薄膜を用いることで、電気的特性に優れたトランジスタのチャネル形成方法を提供すること。

【構成】 基板上に好ましくは30nm~50nmの膜厚の非晶質シリコン層を形成する。次いで第2の工程で、基板加熱を行って非晶質シリコン層を、好ましくは350~500℃、さらに好ましくは350℃~450℃に設定する。その後、第3の工程で、少なくとも非晶質シリコン層に、エキシマレーザーエネルギー密度100mJ/cm<sup>2</sup>~500mJ/cm<sup>2</sup>、好ましくは280mJ/cm<sup>2</sup>~330mJ/cm<sup>2</sup>、パルス幅80ns~200ns、好ましくは140ns~200nsのエキシマレーザー光を照射し、非晶質シリコン層の直接アニールを行って、多結晶シリコン薄膜を形成する。エキシマレーザー光照射に用いるレーザー照射装置のトータルエネルギーは、5J以上、好ましくは10J以上である。

(A)



(B)



## 【特許請求の範囲】

【請求項1】第1の工程で、基板上に、所定膜厚の非晶質シリコン層を形成し、次いで第2の工程で、非晶質シリコン層を所定温度に設定し、その後第3の工程で、トータルエネルギーが5 J以上のレーザー光発生装置を用いて、少なくとも非晶質シリコン層に、レーザーエネルギー密度 $100\text{ mJ}/\text{cm}^2 \sim 500\text{ mJ}/\text{cm}^2$ のレーザー光を、ワンショットで $10\text{ cm}^2$ 以上の面積に照射して、多結晶シリコン薄膜を形成する多結晶シリコン薄膜形成方法。

【請求項2】上記非晶質シリコン層の膜厚が、 $30\text{ nm} \sim 50\text{ nm}$ である請求項1に記載の多結晶シリコン薄膜形成方法。

【請求項3】上記第2の工程では、基板の加熱を行い、その基板の加熱温度は、 $350^\circ\text{C} \sim 500^\circ\text{C}$ である請求項1または2に記載の多結晶シリコン薄膜形成方法。

【請求項4】少なくとも上記第3の工程の前には、上記非晶質シリコン層の表面に、反射防止膜を形成し、第3工程でのレーザーエネルギー密度を $100\text{ mJ}/\text{cm}^2 \sim 230\text{ mJ}/\text{cm}^2$ に設定することを特徴とする請求項1～3のいずれかに記載の多結晶シリコン薄膜形成方法。

【請求項5】上記第3の工程で行うレーザー光照射の際のパルス幅は、 $80\text{ ns} \sim 200\text{ ns}$ である請求項1～4のいずれかに記載の多結晶シリコン薄膜形成方法。

【請求項6】上記第3の工程で形成した多結晶シリコン薄膜に、MOSトランジスタのチャネル領域を形成することを特徴とする請求項1～5のいずれかに記載の多結晶シリコン薄膜形成方法を用いたMOSトランジスタのチャネル形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、多結晶シリコン薄膜の形成方法およびその多結晶シリコン薄膜形成方法を用いたMOSトランジスタのチャネル形成方法に関する。

## 【0002】

【従来の技術】液晶表示装置の画素駆動用のトランジスタ、その周辺素子のトランジスタ、負荷素子型のスタティックRAM（以下SRAMと記す）等には、非晶質（アモルファス）状シリコンあるいは多結晶シリコン（ポリシリコン）の薄膜を用いた薄膜トランジスタ（以下TFT（Thin Film Transistor）と記す）が使われている。

【0003】しかし、多結晶シリコンは単結晶シリコンに比べ、シリコン原子の未結合手が高密度に存在しているので、それら未結合手がスイッチングオフ時においてリーク電流の発生原因になっている。その結果、スイッチオン時の動作速度を低下させる原因になっている。したがって、TFTの特性を向上させるには、結晶欠陥が少ない均一性に優れた多結晶シリコン薄膜を形成するこ

とが要求される。そのような多結晶シリコン薄膜の形成方法としては、化学的気相成長法や固相成長法等が提案されている。またリーク電流などの原因になる未結合手を減少させる手段としては、多結晶シリコン薄膜中に水素をドーピングすることによって、未結合手に水素を結合させるといふ、水素化技術が行われている。

【0004】しかしながら、化学的気相成長法によって、大きな粒径の結晶を成長させて多結晶シリコン薄膜を形成すると、その膜厚は不均一になる。また、化学的気相成長法では、均一な膜厚の多結晶シリコン薄膜を得ることは難しい。このため、多結晶シリコン薄膜を用いて素子特性の均一なトランジスタを形成することが難しくなる。

【0005】また、固相成長法では結晶が樹枝状に成長し、結晶の粒径を $1\text{ }\mu\text{m}$ 以上の大きさに形成することができ、その樹枝状結晶粒内に、転位、双晶などの微小な欠陥を含み、これがトラップとして働き、特性向上を妨げ、不安定にする。

## 【0006】

【発明が解決しようとする課題】このような、未結合手による粒界トラップ密度を低減するために、エキシマレーザー光を用いたアニール処理を行う方法も提案されている。エキシマレーザー光はUV光のためシリコンの吸収係数が大きく、シリコン表面付近のみ加熱できると言う利点を有する。よって、下地（ガラス基板、下層LSIの接合部等）に影響を与えない。エキシマレーザーアニールの方法としては、第一にアモルファスシリコン膜への直接アニール、第二に固相成長後の多結晶シリコン膜に対して、膜全体が溶融しないエネルギー密度でエキシマレーザー光によりアニールする方法がある。

【0007】前者のアモルファスシリコンへの直接アニール法は、後者の方法と比較してプロセスが簡単で、将来のLSIの量産化に有利である。また、1回のエキシマレーザー照射で大面積をアニール処理できれば、さらに、量産化に有利である。しかしながら、アモルファスシリコン膜への直接アニールに従来のエキシマレーザー装置を用いた場合、粒界トラップ密度の少ない、結晶性の良い多結晶シリコン薄膜を得るのに十分な、シングルショットで大面積、面均一なエキシマレーザービームを得ることは難しかった。その点を補うために、近年シングルショットで大面積をアニール処理することが可能な、大出力エネルギーを持ったエキシマレーザーが開発されている。また、エキシマレーザーアニールの効果を高めるために、基板を数百度に加熱してアモルファスシリコンへの直接アニールを施す手法が考案されたが、粒界トラップ密度の少ない、結晶性の良い多結晶シリコン薄膜を得るためのプロセス条件が特定されていない。

【0008】しかも、従来のアモルファスシリコンへの直接アニール法では、多結晶シリコンの結晶粒径は平均 $50\text{ nm}$ 以下であった。本発明は、結晶性を従来以上に

向上させた多結晶シリコン薄膜の形成方法、およびその多結晶シリコン薄膜を用いることで、電気的特性に優れたトランジスタのチャネル形成方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた多結晶シリコン薄膜の形成方法およびその多結晶シリコン薄膜形成方法を用いたトランジスタのチャネル形成方法である。

【0010】すなわち、本発明に係る多結晶シリコン薄膜形成方法では、第1の工程で、基板上に好ましくは30nm～50nmの膜厚の非晶質シリコン層を形成する。次いで第2の工程で、基板加熱を行って非晶質シリコン層を、好ましくは350～500℃、さらに好ましくは350℃～450℃に設定する。

【0011】その後、第3の工程で、少なくとも非晶質シリコン層に、エキシマレーザーエネルギー密度100mJ/cm<sup>2</sup>～500mJ/cm<sup>2</sup>、好ましくは280mJ/cm<sup>2</sup>～330mJ/cm<sup>2</sup>、パルス幅80ns～200ns、好ましくは140ns～200nsのエキシマレーザー光を照射し、非晶質シリコン層の直接アニールを行って、多結晶シリコン薄膜を形成する。エキシマレーザー光照射に用いるレーザー照射装置のトータルエネルギーは、5J以上、好ましくは10J以上である。その際に、ワンショットで、少なくとも10cm<sup>2</sup>の面積以上の面積を一度に照射する。

【0012】また、上記第1の工程の後および上記第3の工程の前に、非晶質シリコン層上に反射防止膜を形成することが好ましい。反射防止膜を形成することで、非晶質シリコン層に対するレーザー光の吸収効率が向上し、エキシマレーザーエネルギー密度を、たとえば180mJ/cm<sup>2</sup>～230mJ/cm<sup>2</sup>程度に低下させることができる。

【0013】本発明に係るMOSトランジスタのチャネル形成方法は、上記多結晶シリコン薄膜形成方法を用いて形成した多結晶シリコン薄膜に、MOSトランジスタのチャネル領域を形成する。

【0014】

【作用】優れた電気特性を持ち、且つ素子特性の均一なトランジスタを得るためには、多結晶シリコン薄膜の結晶粒径はトランジスタのチャネル寸法を超えない程度の大粒径であり、さらに、結晶粒内に結晶欠陥が存在しないことが条件である。

【0015】この様な要求を満たした多結晶シリコン薄膜を得るためには、効率よくエキシマレーザーのエネルギーが非晶質シリコン薄膜中に伝わり、且つ非晶質が結晶粒内に欠陥を生じることなく結晶化するための、時間をパラメータとしたエネルギープロファイルを得ることが必要である。そのためのパラメータとしては、エキシマレーザーパルス幅、エキシマレーザーエネルギー密

度、非晶質シリコンの膜厚、基板加熱温度があげられる。理想的な結晶性を持った多結晶シリコン薄膜を得ようとするときに、これらのパラメータが結晶性に与える影響は互いに相関関係がある。たとえば、基板加熱を行えば必要なエキシマレーザーエネルギー密度は低くて済むが、膜厚が厚くなれば、熱拡散状態の違いから、必要なエキシマレーザーエネルギー密度が高くなる。従って、目的の結晶性を持った多結晶シリコン薄膜を得るためには、これらのパラメータの条件を絞り込む必要がある。

【0016】本発明の特徴は、エキシマレーザーを用いて、非晶質シリコンへ直接アニール処理を行い、シングルショットで、大面積で、面内均一性を有し、且つトランジスタを形成する上でもっとも理想的な、粒界トラップ密度の少ない、結晶性の良い多結晶シリコン薄膜を得るために、上記パラメータを決定したところにある。

【0017】本発明によれば、少なくとも10cm<sup>2</sup>以上、好ましくは6cm×6cm以上の広い領域にわたって、平均結晶粒径が150nm（ばらつきが±約100nm）で、結晶粒界および結晶粒内に電子トラップ密度の少ない多結晶シリコン薄膜を形成することが可能となる。

【0018】

【実施例】まず、本発明を具体的実施態様に基づき説明する。

#### 第1実施態様

本発明の多結晶シリコン薄膜形成方法に関する第1の実施態様を、図1に示す多結晶シリコン薄膜形成工程図により説明する。

【0019】図1（A）に示すように、基板11の上層に、絶縁層12を形成する。基板11としては、特に限定されないが、たとえばシリコン基板などの半導体基板、あるいはガラス基板などを用いることができる。絶縁層12としては、特に限定されないが、たとえば酸化シリコンを用いることができる。次に、第1の工程として、たとえば化学気相成長法によって、絶縁層12上に、非晶質シリコン層13を堆積する。この非晶質シリコン層13は、たとえば40nmの膜厚に堆積される。

【0020】この非晶質シリコン層13は、たとえばモノシラン（SiH<sub>4</sub>）を用いた低圧（LP）CVD法により成膜され、その堆積温度条件としては、たとえば500℃以下に設定することが望ましい。このように、堆積温度を500℃以下に設定することにより、次工程において、非晶質シリコン層13をエキシマレーザーアニールする際に、結晶粒内に結晶欠陥の少ない多結晶シリコン薄膜を形成することができる。なお、上記堆積温度を550℃を越える温度に設定した場合には、結晶が部分的に成長して、欠陥密度の高い多結晶シリコン薄膜が形成される。

【0021】次いで、少なくとも上記非晶質シリコン層

13を、基板と共に加熱する(基板加熱)。その基板加熱は、たとえば抵抗線を用いて行い、基板加熱温度はたとえば400℃に設定する。次いで、図1(B)に示すように、上記非晶質シリコン層13にエキシマレーザ光15を照射し、上記非晶質シリコン層13の直接アニールを行い、熔融した領域を再結晶化して、多結晶シリコン薄膜13aを形成する。

【0022】エキシマレーザ光15としては、たとえば波長が308nmの塩化キセノン(XeCl)エキシマレーザ光を用いる。その場合には、エキシマレーザ光15のトータルエネルギーを、たとえば10J以上の装置を使用して、エキシマレーザエネルギー密度をたとえば300mJ/cm<sup>2</sup>、パルス幅をたとえば150nsに設定し、照射する。

【0023】なお、上記エキシマレーザ光は、非晶質シリコン層13に吸収されやすい波長のレーザ光であればどのようなものであっても良く、たとえば、波長が249nmのフッ化クリプトン(KrF)エキシマレーザ光、もしくは波長が193nmのフッ化アルゴン(ArF)エキシマレーザ光等を用いても良い。その場合には、照射エネルギー密度の値は適宜選択される。

【0024】本実施態様に係る多結晶シリコン薄膜形成方法では、トータルエネルギー10J以上のエキシマレーザ光発生装置を用いて、非晶質シリコン層の膜厚、基板加熱温度、エキシマレーザ光のパルス幅、エキシマレーザ光のエネルギー密度を特定の値に設定することにより、少なくとも6cm×6cmの広い領域にわたって、平均粒径が150nmで、結晶粒界および結晶粒内に電子トラップ密度の少ない多結晶シリコン薄膜13aを形成することができる。したがって、得られた多結晶シリコン薄膜を、中小型直視型の液晶表示装置等に用いれば、高性能液晶表示装置等の量産化が行える。

#### 【0025】第2実施態様

次に、多結晶シリコン薄膜形成方法の第2の実施態様として、反射防止膜14を非晶質シリコン層13の上に堆積して、エキシマレーザ光32を照射する方法を、図2の工程図により説明する。

【0026】図2に示す工程では、基板11の表面に、非晶質シリコン層13を、前記第1実施態様と同様に形成した後、非晶質シリコン層13の上に反射防止膜14を、たとえば50nm堆積する。非晶質シリコン層13の成膜条件などは、上記第1の実施態様と同様である。

【0027】上記反射防止膜14としては、たとえば酸化シリコン(Si<sub>x</sub>O<sub>y</sub>)、Si<sub>x</sub>N<sub>y</sub>、Si<sub>x</sub>O<sub>y</sub>N<sub>z</sub>を用いることができる。反射防止膜の膜厚は、反射防止効果が最大限になるように決定される。この実施態様の場合には、エキシマレーザ光15のトータルエネルギーがたとえば10J以上の装置を使用して、エネルギー密度をたとえば200mJ/cm<sup>2</sup>、パルス幅をたとえ

ば150nsに設定し、照射する。その後、エッチング技術を用いて、上記反射防止膜14を除去する。この第2の実施態様に係る多結晶シリコン薄膜形成方法では、反射防止膜14を用いることにより、第1の実施態様と比較して低いエキシマレーザエネルギー密度で、第1の実施態様で得られる多結晶シリコン薄膜13aと同等の多結晶シリコン薄膜13bを得ることができる。

【0028】本実施態様に係る多結晶シリコン薄膜形成方法を用いれば、1回のアニール処理で少なくとも6cm×6cmの広い領域にわたって、平均結晶粒径が150nmで、結晶粒界および結晶粒内に電子トラップ密度の少ない多結晶シリコン薄膜13bが得られる。したがって、得られた多結晶シリコン薄膜を、中小型直視型の液晶表示装置等に用いれば、高性能液晶表示装置等の量産化が行える。

#### 【0029】第3実施態様

次に、上記第1実施態様および第2実施態様に係る多結晶シリコン薄膜形成方法を用いて形成した多結晶シリコン薄膜中に、チャネル領域を形成したボトムゲート型のMOSトランジスタ(TFT:薄膜トランジスタ)の製造方法を、図3の製造工程図により説明する。なお、上記第1実施態様および第2実施態様で説明したものと同様の構成部品には、同一の符号を付し、その説明は、一部省略する。

【0030】まず、図3(A)に示すように、たとえば化学気相成長法によって、絶縁層12を基板11の上に成膜する。次に、当該絶縁層12上に、ゲート電極形成膜20を堆積する。ゲート電極形成膜20は、たとえばCVD法により成膜され、リンをドーピングした多結晶または非晶質シリコンで構成され、たとえば100nmの膜厚を有する。

【0031】続いてホトリソグラフィー技術とエッチングとによって、ゲート電極形成膜20の2点鎖線で示す部分を除去し、残したゲート電極形成膜20でゲート電極21を形成する。次いで、たとえば化学的気相成長法(または熱酸化法等)によって、少なくとも上記ゲート電極21の表面を覆う状態にゲート絶縁膜22を形成する。ゲート絶縁膜22は、たとえば酸化シリコンで構成され、その膜厚は、たとえば30nmである。

【0032】次に、図3(B)に示すように、上記第1実施態様または第2実施態様で説明したと同様の方法によって、ステップカバリッジ性に優れた成膜が行える化学的気相成長法によって、ゲート絶縁膜22の表面に、非晶質シリコン層23を堆積する。この非晶質シリコン層23は、たとえば膜厚が40nmに形成される。

【0033】次いで、図3(C)に示すように、上記第1実施態様または第2実施態様と同様な条件で、非晶質シリコン層23にエキシマレーザ光25を照射し、当該非晶質シリコン層23の直接アニールを行い、熔融した領域を再結晶化して、多結晶シリコン薄膜23aを形成

する。

【0034】エキシマレーザ25としては、たとえば波長が308nmの塩化キセノン(XeCl)エキシマレーザ光を用いる。その場合には、エキシマレーザ光25のトータルエネルギーを、たとえば10J以上の装置を使用して、エキシマレーザエネルギー密度をたとえば300mJ/cm<sup>2</sup>、パルス幅をたとえば150nsに設定し、照射する。

【0035】続いて、図4(D)に示すように、たとえばリソグラフィー技術とエッチング技術とによって、多結晶シリコン薄膜23aにおける2点鎖線で示す層間部分26を除去し、ゲート電極21上およびその両側に多結晶シリコン薄膜23aで所定パターンの導電層形成領域27を形成する。

【0036】次いで、図4(E)に示すように、塗布技術とリソグラフィー技術とによって、上記導電層形成領域27の上に、ゲート電極21のパターンで、たとえばレジスト膜で構成されるイオン注入マスク28を形成する。そしてイオン注入法によって、上記ゲート電極21の両側における導電層形成領域27に不純物(図示せず)を導入し、ソース・ドレイン領域29、30を形成する。イオン注入マスク31の下方における導電層形成領域27がTFT型MOSトランジスタのチャネル領域31になる。

【0037】その際のイオン注入条件としては、たとえば打ち込みエネルギーを10KeVに設定し、ドーズ量を3×10<sup>15</sup>cm<sup>-2</sup>に設定して、ホウ素イオン(B<sup>+</sup>)を導入する。あるいは、打ち込みエネルギーを35KeVに設定し、ドーズ量を3×10<sup>15</sup>cm<sup>-2</sup>に設定して、二フッ化ホウ素イオン(BF<sub>2</sub><sup>+</sup>)を導入する。

【0038】その後、アッシャー処理またはウェットエッチング等によって、イオン注入マスク28を除去する。そして、ソース・ドレイン領域29、30の活性化アニール処理を行う。アニール処理条件としては、たとえば、アニール温度を900℃に設定し、そのアニール処理時間を20分間に設定する。その後、図4(F)に示すように、導電層形成領域27を覆うように、層間絶縁膜32を成膜する。層間絶縁膜32としては、特に限定されないが、たとえばCVD法により成膜される酸化シリコン膜、窒化シリコン膜、PSG(リンドープガラス)膜、BPSG(ボロンおよびリンドープガラス)膜で構成される。

【0039】次に、通常のリソグラフィー技術とエッチング技術とによって、層間絶縁膜32にコンタクトホール34、35を形成する。さらにコンタクトホール34、35を通して、ソース・ドレイン領域29、30に接続する電極36、37を形成する。また、図示省略してあるが、ゲート電極21に接続する電極も形成する。これら電極は、ポリシリコン、あるいはアルミニウムなどの金属で構成される。その後、電極のシンタリング処

理を行う。シンタリング処理の条件としては、特に限定されないが、たとえば400℃および1時間である。

【0040】このようにして、ボトムゲート型のMOSトランジスタ40が形成される。上記ボトムゲート型のMOSトランジスタ40の製造方法では、上記第1実施態様または第2実施態様で説明した多結晶シリコン薄膜形成方法とほぼ同様にして、多結晶シリコン薄膜23aを形成し、その多結晶シリコン薄膜23aを導電層形成領域27とする。そして、そこにチャネル領域31を形成することにより、結晶粒界および結晶粒内に電子トラップ密度の少ない当該チャネル領域49を得ることが可能となる。その結果、電気的特性に優れたTFT型MOSトランジスタが得られる。

【0041】本実施態様に係るボトムゲート構造のTFT型MOSトランジスタ40を、たとえばSRAMの負荷素子に用いた場合には、当該SRAMの消費電力が低減される。また、SRAMのソフトエラー耐性が向上するので、信頼性の向上が図れる。また、本実施態様に係るTFT型MOSトランジスタは、液晶表示素子の駆動トランジスタなどとしても好適に用いることができる。

#### 【0042】第4実施態様

次に、第1実施態様および第2実施態様に係る多結晶シリコン薄膜形成方法を用いて形成した多結晶シリコン薄膜に、チャネル領域を形成したトップゲート型のMOSトランジスタ(TFT)の製造方法を、図5、6の製造工程図により説明する。なお、上記第1実施態様および第2実施態様で説明したものと同様の構成部品には、同一の符号を付し、その説明は、一部省略する。

【0043】まず、図5(A)に示すように、たとえば化学気相成長法によって、絶縁層12を基板11の上に成膜する。次に、当該絶縁層12上に、上記第1実施態様または第2実施態様で説明したと同様の方法によって、ステップカバリッジ性に優れた成膜が行える化学的気相成長法によって、非晶質シリコン層41を堆積する。この非晶質シリコン層41は、たとえば膜厚が40nmに形成される。

【0044】次いで、上記第1実施態様または第2実施態様と同様な条件で、非晶質シリコン層41にエキシマレーザ光を照射し、当該非晶質シリコン層の直接アニールを行い、熔融した領域を再結晶化して、多結晶シリコン薄膜41aを形成する。エキシマレーザとしては、たとえば波長が308nmの塩化キセノン(XeCl)エキシマレーザ光を用いる。その場合には、エキシマレーザ光のトータルエネルギーを、たとえば10J以上の装置を使用して、エキシマレーザエネルギー密度をたとえば300mJ/cm<sup>2</sup>、パルス幅をたとえば150nsに設定し、照射する。

【0045】続いて、図5(B)に示すように、たとえばリソグラフィー技術とエッチング技術とによって、多結晶シリコン薄膜41aをエッチング加工し、所定パタ

一の導電層形成領域42を形成する。続いて、たとえば化学的気相成長（CVD）法または熱酸化法等によって、上記導電層形成領域42の表面に、ゲート絶縁膜43を形成する。このゲート絶縁膜43は、たとえば酸化シリコンで構成され、その膜厚は、たとえば30nmである。

【0046】さらに、図5（C）に示すように、たとえばCVD法によって、上記ゲート絶縁膜43の表面に、ゲート電極形成膜44を堆積する。このゲート電極形成膜44は、たとえば不純物としてリンをドーブした非晶質シリコンまたは多結晶シリコンで構成され、その膜厚は、たとえば100nm程度である。

【0047】次いで、レジスト膜45を用いたホトリソグラフィ技術とエッチング技術とによって、2点鎖線で示す部分の上記ゲート電極形成膜44を除去し、導電層形成領域42上に位置するゲート電極形成膜44でゲート電極46を形成する。続いて、図6（D）に示すように、ゲート電極46を形成するためのエッチング加工時に用いたレジスト膜45をイオン注入マスクとして用いて、イオン注入を行う。なお、イオン注入マスクとしては、エッチング加工時のレジスト膜45とは別個のマスクを用いても良い。このイオン注入によって、ゲート電極46の両側に位置する上記導電層形成領域42に不純物（図示せず）を導入し、ソース・ドレイン領域47、48を自己整合的に形成する。したがって、多結晶シリコンで構成される導電層形成領域42にチャネル領域49が自己整合的に形成される。

【0048】その際のイオン注入条件としては、たとえば打ち込みエネルギーを10KeVに設定し、ドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ に設定して、ホウ素イオン（ $\text{B}^+$ ）を導入する。あるいは、打ち込みエネルギーを35KeVに設定し、ドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ に設定して、二フッ化ホウ素イオン（ $\text{BF}_2^+$ ）を導入する。

【0049】その後、アッシャー処理またはウェットエッチング等によって、レジスト膜45を除去する。そして、ソース・ドレイン領域47、48の活性化アニールを行う。アニール条件としては、たとえば、アニール処理温度を900℃に設定し、そのアニール処理時間を20分間に設定する。

【0050】次に、図6（E）に示すように、ゲート電極46およびゲート絶縁膜43の上に、CVD法によって、層間絶縁膜50を、たとえば150nm～200nmの膜厚に形成する。この層間絶縁膜50は、PSG膜またはBPSG膜等の酸化シリコン系膜あるいは窒化シリコン膜により形成される。

【0051】その後、通常のホトリソグラフィ技術とエッチングとによって、コンタクトホール51、52、53を形成する。さらに、通常の配線形成技術によって、コンタクトホール51、52、53を通して、ゲート電極46、ソース・ドレイン領域47、48にそれぞ

れ接続する電極55、54、56を形成する。これら電極は、ポリシリコン、あるいはアルミニウムなどの金属で構成される。

【0052】その後シントリング処理を行う。シントリング処理の条件としては、特に限定されないが、たとえば400℃および1時間である。このようにして、トップゲート型のMOSトランジスタ60が形成される。本実施態様に係るトップゲート型のMOSトランジスタ60の製造方法では、上記第1実施態様または第2実施態様に係る多結晶シリコン薄膜形成法を用いて、多結晶シリコン薄膜41aを形成し、その多結晶シリコン薄膜41aにチャネル領域49を形成することにより、結晶粒界および結晶粒内に電子トラップ密度の少ないチャネル領域49を得ることが可能となる。その結果、電気的特性に優れたTFT型MOSトランジスタが得られる。

【0053】本実施態様に係るトップゲート構造のTFT型MOSトランジスタ60を、たとえばSRAMの負荷素子に用いた場合には、当該SRAMの消費電力が低減される。また、SRAMのソフトエラー耐性が向上するので、信頼性の向上が図れる。また、本実施態様に係るTFT型MOSトランジスタは、液晶表示素子の駆動トランジスタなどとしても好適に用いることができる。

【0054】以下、本発明を、さらに具体的な実施例に基づき説明する。なお、本発明は、これら実施例に限定されない。

#### 実施例1

まず、石英基板上に、モノシラン（ $\text{SiH}_4$ ）を用いた低圧（LP）CVD法により膜厚80nmの非晶質シリコン膜を成膜した。その堆積温度は、500℃であった。次に、この非晶質シリコン膜に、エキシマレーザーを照射し、非晶質シリコンの結晶化を行い、多結晶シリコン膜を得た。その際に、基板は、400℃に加熱した。レーザー照射を行うために用いた装置は、トータルのエネルギーが10Jであるソプラ社のVELであった。レーザーのエネルギー密度は、 $280 \text{ mJ/cm}^2$ であった。ショット回数は、ワンショットであり、その範囲は、6cm×6cmであった。

【0055】次に、透過型電子顕微鏡（TEM）で観察するために、 $\text{HF}:\text{H}_2\text{O}=1:1$ の混合液を用いて、石英基板（ $\text{SiO}_2$ ）をエッチングし、多結晶シリコン薄膜（試料）のみを得た。この試料の略中央部におけるTEM観察結果（明視野像）を図7に示す。TEMとしては、加速電圧が200kVのJEOLE2000FX-IIを用いた。

【0056】図7に示す写真から、多結晶シリコン膜（試料）中の結晶粒径範囲と結晶粒径平均を求めた結果を表1に示す。

【0057】

【表1】



膜厚80nm、基板加熱400℃、ショット回数1回での、Poly-Si 結晶粒径のエキシマレーザーエネルギー密度依存性

	比較例 1	実施例 1	実施例 2
エキシマレーザーエネルギー密度 (mJ/cm <sup>2</sup> )	220	280	350
結晶粒径範囲 (nm)	(Amo.)	20~60	20~100
結晶粒径平均 (nm)	(Amo.)	25	60

#### 実施例 2

レーザーエネルギー密度を350mJ/cm<sup>2</sup>とした以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図8に示す。

【0058】図8に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表1に示す。

#### 比較例 1

レーザーエネルギー密度を220mJ/cm<sup>2</sup>とした以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(電子回折図形)を図9に示す。

【0059】図9に示す写真の回折図形は、試料が依然として非晶質であることが判明した。

#### 評価

膜厚40nm、基板加熱400℃、ショット回数1回での、Poly-Si 結晶粒径のエキシマレーザーエネルギー密度依存性

	比較例 2	実施例 3	実施例 4
エキシマレーザーエネルギー密度 (mJ/cm <sup>2</sup> )	150	300	350
結晶粒径範囲 (nm)	(Amo.)	50~200	50~200
結晶粒径平均 (nm)	(Amo.)	150	150

#### 実施例 4

非晶質シリコン膜の堆積時の膜厚を40nmとし、レーザーエネルギー密度を350mJ/cm<sup>2</sup>とした以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図11に示す。

【0063】図11に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表2に示す。

#### 比較例 2

非晶質シリコン膜の堆積時の膜厚を40nmとし、レーザーエネルギー密度を150mJ/cm<sup>2</sup>とした以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(電子回折図形)を図12に示す。

【0064】図12に示す写真の回折図形は、試料が依然として非晶質であることが判明した。

実施例1, 2および比較例1を比較すると、上記表1に示すように、膜厚80nmにおいて、結晶粒径の大きい多結晶シリコン薄膜を得るためには、エネルギー密度が350mJ/cm<sup>2</sup>である実施例2の方が好ましいことが判明した。

#### 【0060】実施例 3

非晶質シリコン膜の堆積時の膜厚を40nmとし、レーザーエネルギー密度を300mJ/cm<sup>2</sup>とした以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図10に示す。

【0061】図10に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表2に示す。

#### 【0062】

#### 【表 2】

#### 評価

実施例3, 4および比較例2を比較すると、上記表2に示すように、膜厚40nmにおいて、結晶粒径の大きい多結晶シリコン薄膜を得るためには、エネルギー密度が300mJ/cm<sup>2</sup>で十分であり、それ以上エネルギー密度を高くしてもそれほど大差ないことが判明した。

#### 【0065】実施例 5

非晶質シリコン膜の堆積時の膜厚を80nmとし、レーザーエネルギー密度を350mJ/cm<sup>2</sup>とし、基板加熱を行わないで(室温で)レーザーアニール処理した以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図13に示す。

【0066】図13に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表3に示す。

#### 【0067】

【表3】

膜厚80nm、基板加熱なし(RT)、エキシマレーザーエネルギー密度350mJ/cm<sup>2</sup>での、Poly-Si 結晶粒径のショット回数依存性

	実施例5	実施例6	実施例7
ショット回数	1回	10回	100回
結晶粒径範囲 (nm)	20~70	20~70	20~70
結晶粒径平均 (nm)	40	40	40

実施例6

同じ試料に対するレーザー照射のショット回数を10回とした以外は、実施例5と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図14に示す。

【0068】図14に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表3に示す。

実施例7

同じ試料に対するショット回数を100回とした以外は、実施例5と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図15に示す。

【0069】図15に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表3に示す。

評価

基板加熱400℃、エキシマレーザーエネルギー密度350mJ/cm<sup>2</sup>、ショット回数1回でのPoly-Si 結晶粒径の膜厚依存性

	実施例8	実施例9
膜厚 (nm)	40	80
結晶粒径範囲 (nm)	50~200	20~100
結晶粒径平均 (nm)	150	60

実施例9

非晶質シリコン膜の堆積時の膜厚を、80nmとした以外は、実施例8と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図17に示す。

【0073】図17に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表4に示す。

評価

実施例8、9を比較すると、上記図16、17および表4に示すように、膜厚以外が同一条件では、大粒径の多結晶シリコン薄膜を得るためには、膜厚40nmと薄い方が有利であることが判明した。

実施例5~7を比較すると、上記図13~15および表3に示すように、多結晶シリコン薄膜の結晶性および結晶粒径は、ショット回数によらないことが判明した。したがって、工程の短縮化の観点からは、レーザーのショット回数は、一回で十分である。

【0070】実施例8

非晶質シリコン膜の堆積時の膜厚を40nmとし、レーザーエネルギー密度を350mJ/cm<sup>2</sup>とした以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図16に示す。

【0071】図16に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表4に示す。

【0072】【表4】【0074】実施例10

非晶質シリコン膜の堆積時の膜厚を、40nmとし、レーザーエネルギー密度を300mJ/cm<sup>2</sup>とし、基板加熱を行わず(室温)にレーザーアニール処理した以外は、実施例1と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果(明視野像)を図18に示す。

【0075】図18に示す写真から、多結晶シリコン膜(試料)中の結晶粒径範囲と結晶粒径平均を求めた結果を表5に示す。

【0076】【表5】

膜厚40nm、エキシマレーザーエネルギー密度300mJ/cm<sup>2</sup>、ショット回数1回でのPoly-Si 結晶粒径の基板加熱依存性

	実施例10	実施例11
基板加熱	RT	400℃
結晶粒径範囲 (nm)	20~50	50~200
結晶粒径平均 (nm)	20	150

#### 実施例11

基板加熱温度を400℃とした以外は、実施例10と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果（明視野像）を図19に示す。

【0077】図19に示す写真から、多結晶シリコン膜（試料）中の結晶粒径範囲と結晶粒径平均を求めた結果を表5に示す。

#### 実施例12

レーザーエネルギー密度を350mJ/cm<sup>2</sup>とし、基

膜厚80nm、エキシマレーザーエネルギー密度350mJ/cm<sup>2</sup>、ショット回数1回でのPoly-Si 結晶粒径の基板加熱依存性

	実施例12	実施例13
基板加熱	RT	400℃
結晶粒径範囲 (nm)	20~70	20~100
結晶粒径平均 (nm)	40	60

#### 実施例13

基板加熱温度を400℃とした以外は、実施例12と同様にして、試料を準備し、この試料の略中央部におけるTEM観察を行った。TEM観察結果（明視野像）を図21に示す。

【0080】図21に示す写真から、多結晶シリコン膜（試料）中の結晶粒径範囲と結晶粒径平均を求めた結果を表6に示す。

#### 評価

上記図18～21および表5および表6に示すように、基板加熱を行うか否かのみが相違する条件では、基板加熱を行った方が、大きな結晶粒径のポリシリコン膜を得ることができることが判明した。

【0081】また、実施例11の試料について、結晶粒径範囲および結晶粒径平均について、ショット面内均一性について調べた結果、中央部において、結晶粒径が大きく、周辺部において、多少中央部よりも結晶粒径が小さくなる傾向にあることが判明したが、デバイス作製上問題ない範囲であることが判明した。

#### 【0082】

【発明の効果】以上説明したように、本発明の多結晶シリコン薄膜形成方法によれば、1回のアニール処理で、少なくとも3cm×3cmの広い領域にわたって、平均結晶粒径がかなり大きく、結晶粒界および結晶粒内に電

子トラップ密度の少ない多結晶シリコン薄膜を得ることができる。したがって、得られた多結晶シリコン薄膜を、中小型直視型の液晶表示装置等に用いれば、高性能液晶表示装置等の量産化が行える。

【0078】図20に示す写真から、多結晶シリコン膜（試料）中の結晶粒径範囲と結晶粒径平均を求めた結果を表6に示す。

【0079】

【表6】

子トラップ密度の少ない多結晶シリコン薄膜を得ることができる。したがって、得られた多結晶シリコン薄膜を、中小型直視型の液晶表示装置等に用いれば、高性能液晶表示装置等の量産化が行える。

【0083】また、本発明に係るトランジスタのチャネル形成方法によれば、多結晶シリコン薄膜形成方法で形成した多結晶シリコン薄膜にトランジスタのチャネルを形成するので、チャネル内の結晶粒界や電子トラップの影響が少なくなる。したがって、リーク電流が少なくなり、しきい値電圧のばらつきが大幅に低減されて、トランジスタの信頼性を大幅に向上できる。

【0084】さらに、各トランジスタの特性のばらつきを低減することができる効果がある。

【図面の簡単な説明】

【図1】図1（A）、（B）は本発明の一実施態様に係る多結晶シリコン薄膜形成方法の工程図である。

【図2】図2は本発明の他の実施態様に係る多結晶シリコン薄膜形成方法の工程図である。

【図3】図3（A）～（C）は本発明の一実施態様に係るMOSトランジスタのチャネル形成方法を示す工程図である。

【図4】図4（D）～（F）は図3の続きの工程図である。

【図5】図5（A）～（C）は本発明の他の実施態様に

係るMOSトランジスタのチャネル形成方法を示す工程図である。

【図6】図6 (D), (E) は図5の続きの工程図である。

【図7】図7は本発明の実施例1に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図8】図8は本発明の実施例2に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図9】図9は本発明の比較例1に係る試料のTEM観察結果(電子回折図形)電子顕微鏡写真である。

【図10】図10は本発明の実施例3に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図11】図11は本発明の実施例4に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図12】図12は本発明の比較例2に係る試料のTEM観察結果(電子回折図形)電子顕微鏡写真である。

【図13】図13は本発明の実施例5に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図14】図14は本発明の実施例6に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図15】図15は本発明の実施例7に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図16】図16は本発明の実施例8に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図17】図17は本発明の実施例9に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図18】図18は本発明の実施例10に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図19】図19は本発明の実施例11に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

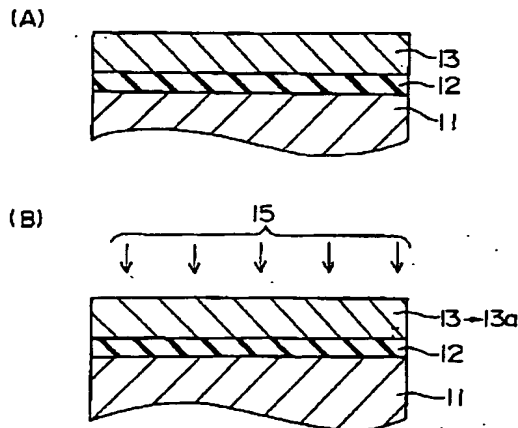
【図20】図20は本発明の実施例12に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

【図21】図21は本発明の実施例13に係る多結晶シリコン膜のTEM観察結果(明視野像)を示す電子顕微鏡写真である。

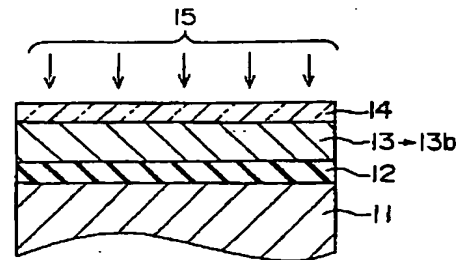
#### 【符号の説明】

- 11… 基板
- 12… 絶縁層
- 13, 23, 41… 非晶質シリコン層
- 13a, 23a, 41a… 多結晶シリコン層
- 14… 反射防止膜
- 21, 46… ゲート電極
- 22, 43… ゲート絶縁膜
- 29, 30, 47, 48… ソース・ドレイン領域
- 31, 49… チャネル領域
- 40, 60… MOSトランジスタ

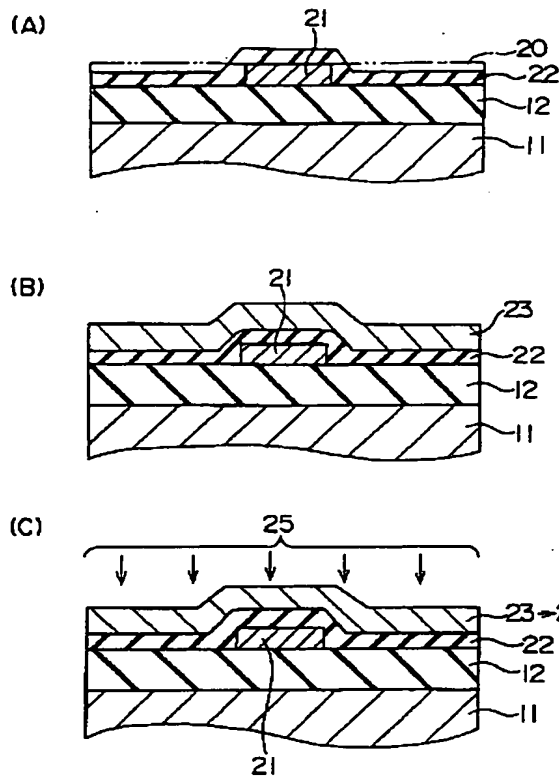
【図1】



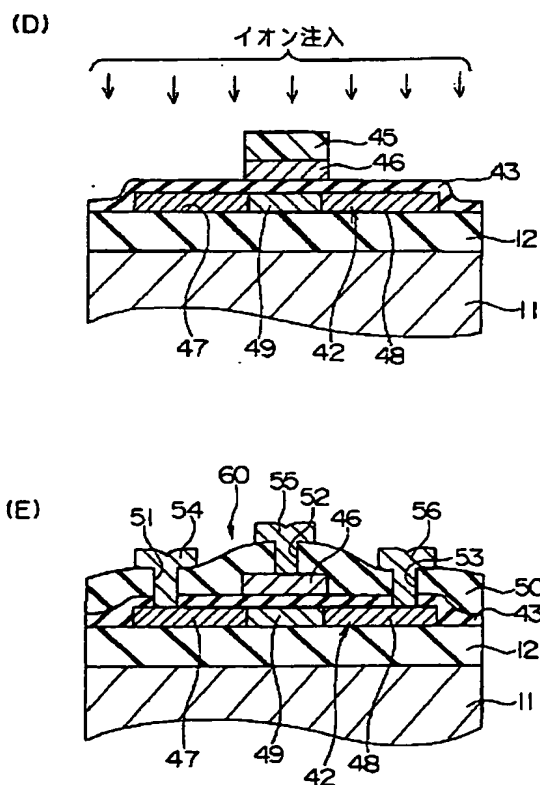
【図2】



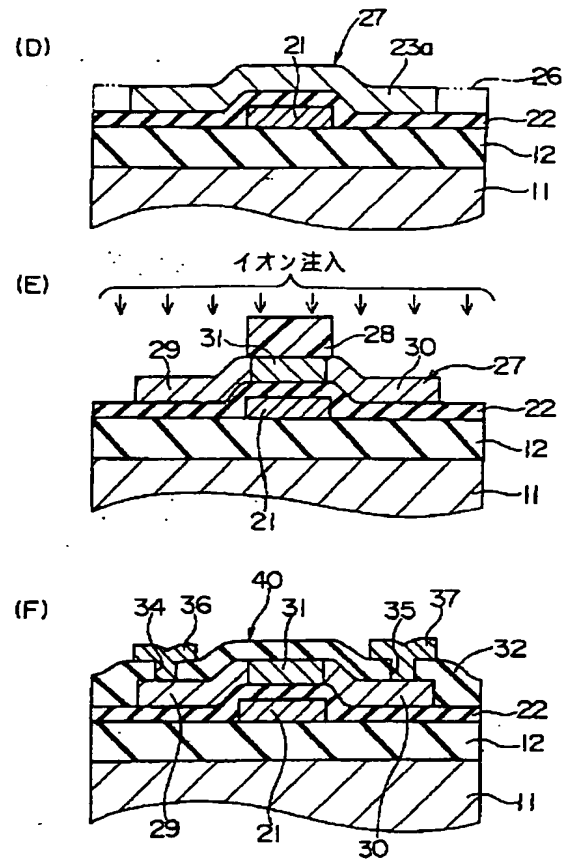
【図3】



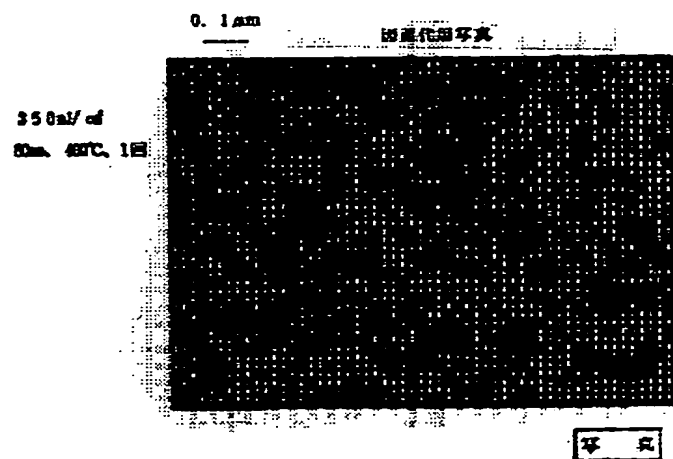
【図6】



【図4】

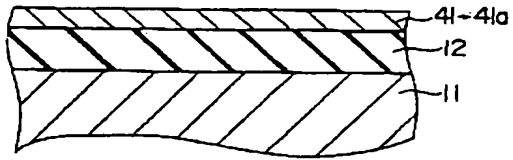


【図8】

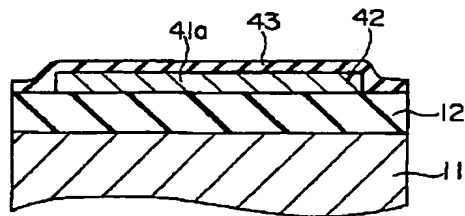


【図5】

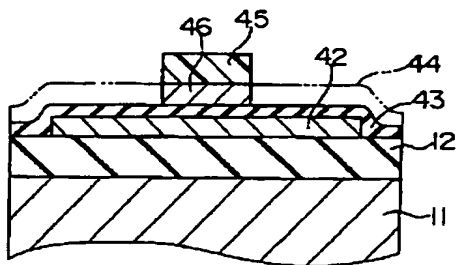
(A)



(B)

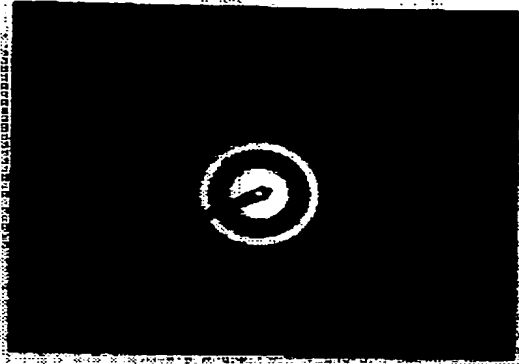


(C)



【図9】

図面代用写真



写真

220mJ/cm<sup>2</sup>  
80nm, 400°C, 1回

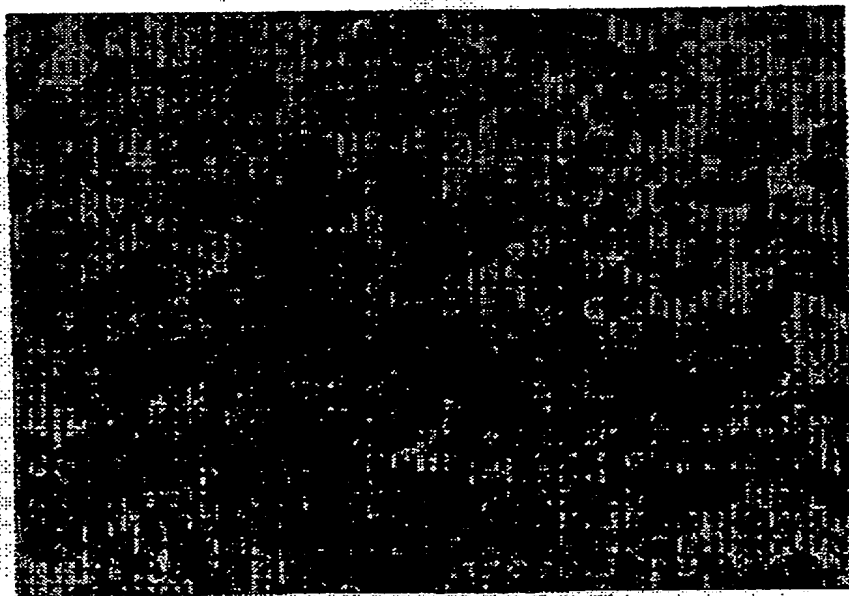
【図7】

0.1  $\mu$ m

図面代用写真

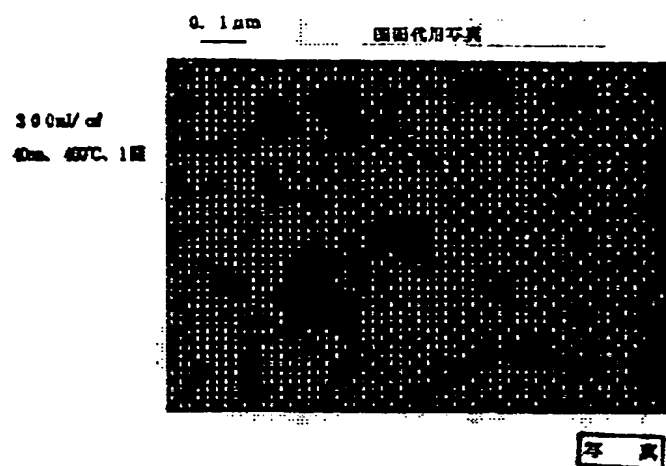
280mJ/cm<sup>2</sup>

80nm, 400°C, 1回



写真

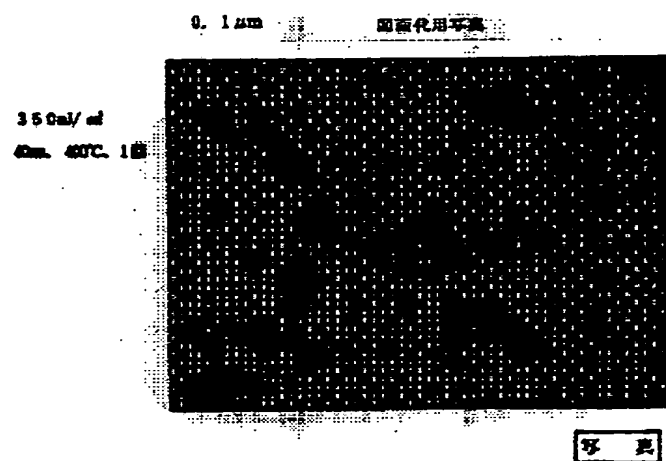
【図10】



【図12】

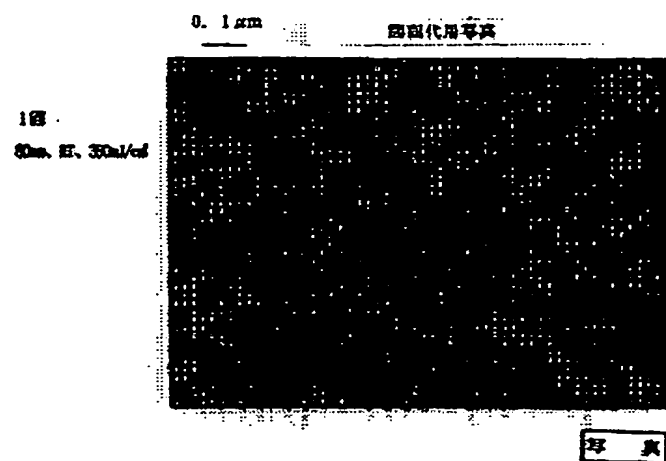


【図11】

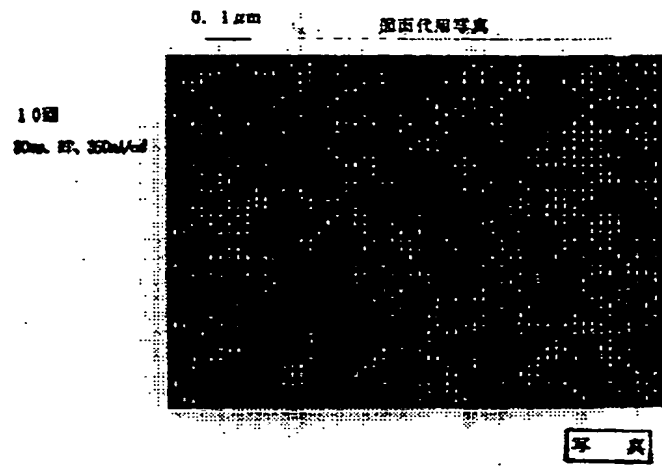


150ml/cd  
40mm, 40°C, 1回

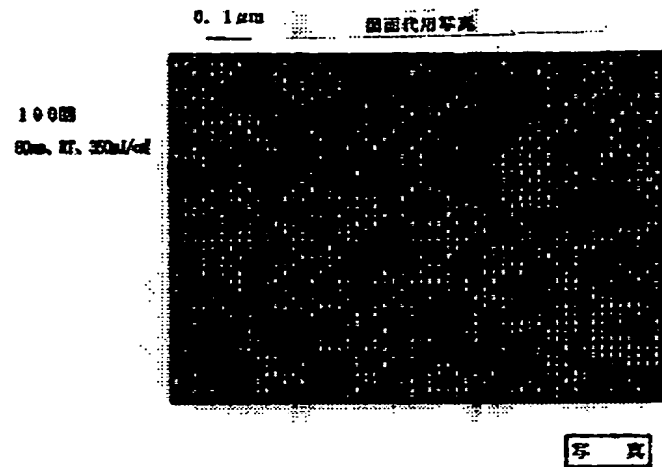
【図13】



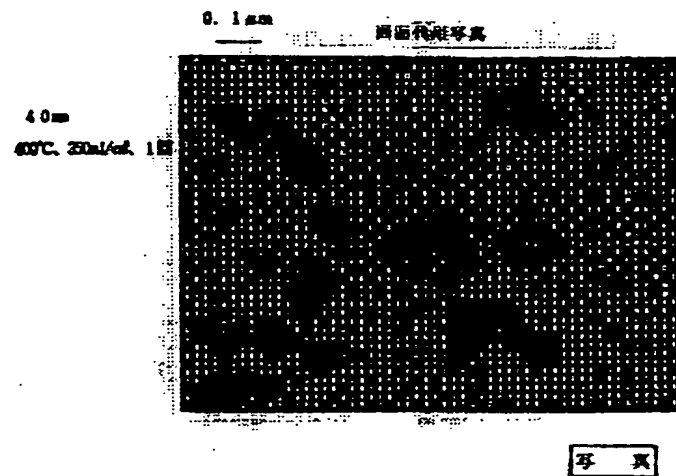
【図14】



【図15】

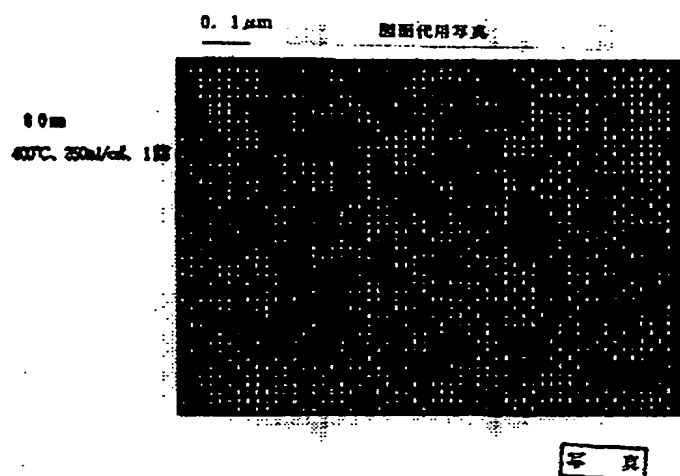


【図16】

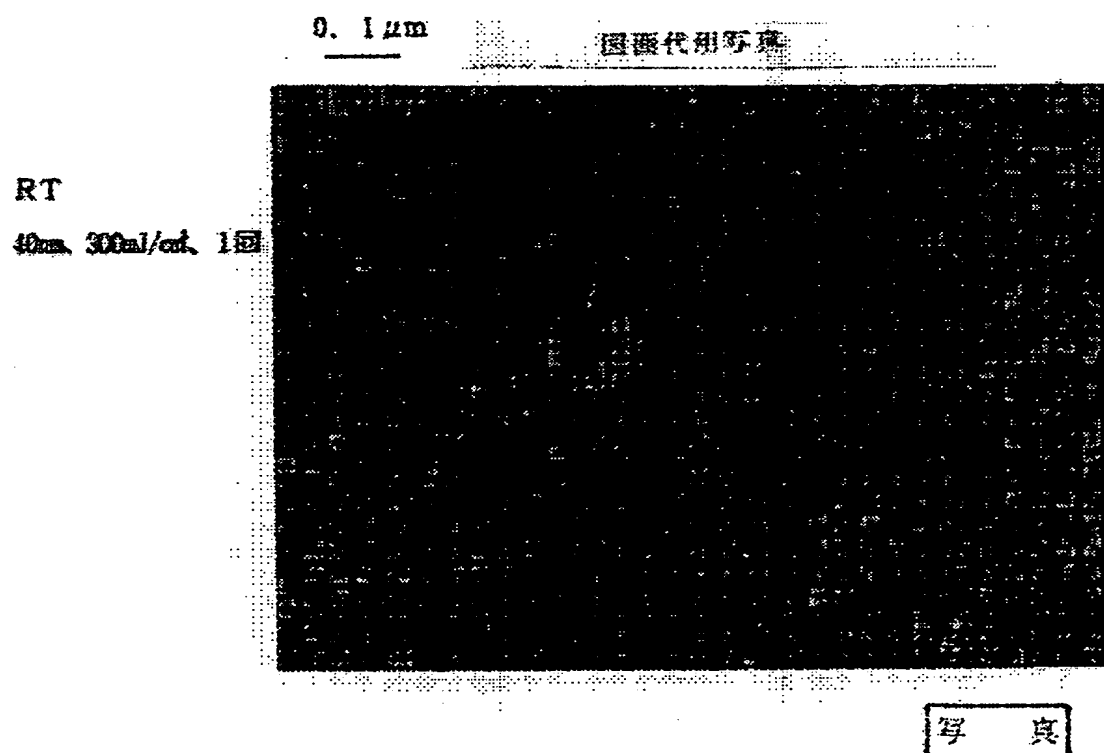




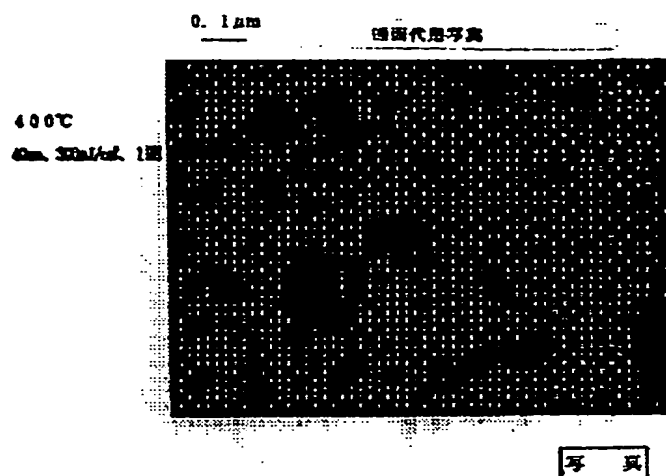
【図17】



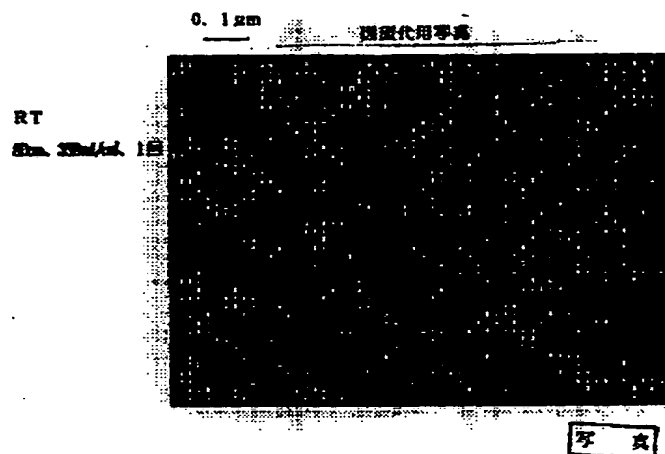
【図18】



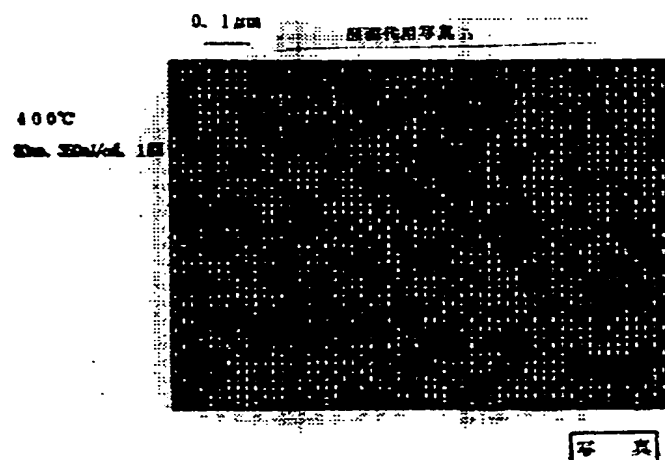
【図19】



【図20】



【図21】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所